

**MENU**

**SEARCH**

**INDEX**

**JAPANESE**

**LEGAL STATUS**

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-009356  
(43)Date of publication of application : 19.01.1983

(51)Int.Cl. H01L 27/08  
H01L 21/74  
H01L 29/72

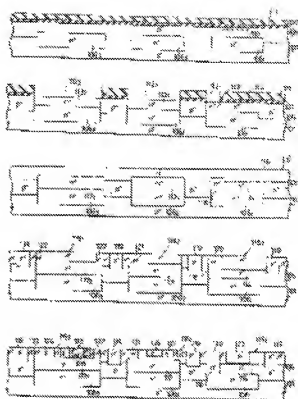
(21)Application number : 56-106515 (71) TOSHIBA CORP  
Applicant :  
(22)Date of filing : 08.07.1981 (72)Inventor : IWASAKI HIROSHI

(54) SEMICONDUCTOR DEVICE

## (57) Abstract:

**PURPOSE:** To provide a high withstand voltage element and a high speed element in a single substrate by a method wherein a p epitaxial layer and an n epitaxial layer are laid down on a p-type Si substrate one upon another and a two layer structure is buried near the boundary between the substrate and the p epitaxial layer and the boundary between the two epitaxial layers.

**CONSTITUTION:** An n+ layer 106 is buried in the vicinity of the boundary between a p-Si substrate 101 and a p-epitaxial layer 105. The upper part of a layer 1061 is implanted with P ions 110 through an SiO<sub>2</sub> layer 107, whereon an SiO<sub>2</sub> layer 111 is added. An opening 112 is selectively provided and Sb is thermally diffused for the formation of an n+ layer 113, and an n- layer 114 is produced of the layer 110. The layers 107 and 111 are removed, and an n- epitaxial layer 115 is laid down, when n+ layers 116 and 117 are formed along the boundary with the layer 105 by self-diffusion. Next, the product is divided by a p+ layer 119 into three regions 1151~1153 for a high withstand voltage element, a high speed element and an I<sup>2</sup>L. During the dividing process, the n- layer 114 being of a concave, the p+ layer is completed in a short period with diffusion matching the thickness of the epitaxial layer 115, and the buried layer self-diffusion is prevented. Conventional processes follow, whereby an IC with several prescribed units in coexistence thereon is realized, highly integrated without increasing isolating layer area.



① 日本国特許庁 (JP)

② 特許出願公開

③ 公開特許公報 (A)

昭58—9356

④ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
21/74  
29/72

識別記号

⑤ 庁内整理番号  
7925—5F  
8122—5F  
7514—5F

⑥ 公開 昭和58年(1983)1月19日

発明の数 1  
審査請求 有

(全 10 頁)

⑦ 半導体装置

⑧ 特 願 昭56—106515  
⑨ 出 願 昭56(1981)7月8日  
⑩ 発 明 者 岩崎博

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内  
⑪ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑫ 代 理 人 弁理士 鈴木武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 第1導電型の半導体基板と、この半導体基板上に設けられた第1導電型の第1半導体層と、前記基板と第1半導体層の界面付近に複数設けられた高濃度の第2導電型の第1半導体領域と、前記第1半導体層上に設けられた第2導電型の第2半導体層と、前記第1半導体領域のうちの少なくとも1箇所の直上に位置する第1半導体層部分に前記第2半導体層とつながって形成され、該第2半導体層と同濃度もしくは低い濃度の第2導電型の第2半導体領域と、この第2半導体領域以外の前記第1半導体層と第2半導体層の界面付近に形成され、少なくとも1つが前記第1半導体領域とつながる高濃度の第2導電型の第3半導体領域とを具備したことを特徴とする半導体装置。

2. 第2導電型の第2半導体領域内に高濃度

の第2導電型の第4半導体領域を該第2半導体領域表面から隣り方向に伸び、高濃度の第2導電型の第1半導体領域とつながるように形成したことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 第2導電型の第2半導体層に、高濃度の第1導電型の第4半導体領域を第1導電型の第1半導体層まで通するように選択的に形成し、この第4半導体領域で分離され、下部に第2導電型の第2半導体領域がつながって存在する島状の第2半導体層部分もしくは同部分と第2半導体領域にバイポーラ管の高耐圧素子を、前記第4半導体領域で分離され、下部に高濃度の第2導電型の第3半導体領域が存在する島状の第2半導体層部分に1個以上の通常の半導体素子を、設けたことを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 通常の半導体素子として、キャリアインジェクション機構部をエミッタとしてもつグラウダ型の pnp トランジスタと該 pnp トランジスタ

タのベースをエミッタ、コレクタをベースとして共有する逆接合のパーティカル  $\alpha p n$  トランジスタとて構成した  $I^2L$  を用いることを特徴とする特許請求の範囲第3項記載の半導体装置。

5. 通常の半導体素子として、 $I^2L$  と高速度動作パーティカル  $\alpha p n$  トランジスタ、ラチラルトランジスタとを共存させて用いることを特徴とする特許請求の範囲第4項記載の半導体装置。

### 3. 発明の詳細を説明

本発明は半導体装置に関し、詳しくは高耐圧バイポーラトランジスタと高速度性の半導体素子を共存し得る改良した半導体素子を備えた半導体装置に係る。

半導体集積回路においては、高耐圧と高速度性の半導体素子を共存させる技術が必要とされたが、共に相反する要求があるため実現が困難であった。

このようなことから、第1図に示す構造の半導体素子を用いて半導体集積回路を構成することとが、従来行なわれている。すなわち、第1図

基板11上には第1の  $n^+$  型シリコンエピタキシャル層12が被覆されている。また、前記基板11と  $p^+$  型シリコンエピタキシャル層22の界面には第1の  $p^+$  埋込み層13、13'が選択的に設けられている。そして、前記エピタキシャル層12上に第2の  $n^+$  型シリコンエピタキシャル層14が被覆され、かつ前記  $p^+$  埋込み層13、14に對向する第1、第2のエピタキシャル層13、14の界面部分には第2の  $p^+$  埋込み層15が設けられている。なお、こうした半導体素子においては、第2の  $p^+$  埋込み層15上に位置する第2のシリコンエピタキシャル層16部分に高速度性の半導体素子を、第1の  $p^+$  埋込み層13、14上の第1、第2のシリコンエピタキシャル層13、14部分に高耐圧の半導体素子を、形成する。しかしながら、かかる半導体素子から電気的な分離が必要な半導体集積回路を製造する場合、二層の薄いシリコンエピタキシャル層12、14に拡散による  $p^+$  層のアイソレーション領域(或いは酸化膜

中の  $I$  は  $p^+$  型シリコン基板であり、この基板11上には  $n^+$  型のシリコンエピタキシャル層2が形成されている。また、前記基板1とシリコンエピタキシャル層2の界面には  $n^+$  埋込み層3、3'が選択的に設けられている。そして、一方の  $n^+$  埋込み層3、13に對向するシリコンエピタキシャル層2と表面をエッチングして凹部4を設けている。なお、こうした半導体素子においては、表面から埋込み層3、13までの深さが浅いエピタキシャル層部分3、13に高速度性の半導体素子を、表面から埋込み層3、13までの深さが深いエピタキシャル層部分2、14に高耐圧の半導体素子を、形成する。しかしながら、かかる構造の半導体素子においては、シリコンエピタキシャル層2表面に凹部4が設けられ、平坦性に欠けたため半導体集積回路の製造加工工程において不都合を生じる。

別の半導体素子としては、従来、第2図に示す構造のものが知られている。すなわち、第2図中の  $I$  は  $p^+$  型シリコン基板であり、この

等による積層体分離領域)を形成する必要がある。その結果、長時間の熱処理工程において、埋込み層13、13'、15の露み出しが激しく、高耐圧半導体素子の耐圧コントロール、高速度半導体素子の高速度特性コントロールが非常に難しくなる。特に、高耐圧を確保するため、エピタキシャル層の厚さを増加せなければならぬが、そうすると更に薄い  $p^+$  型のアイソレーション領域が必要となり、耐圧コントロールがより困難となる。なお、このような問題は前述した第1図図示の半導体素子でも同様である。

本発明は上記事情に鑑みせられたもので、表面が平坦で、コントロール性よく高耐圧のバイポーラ素子及び高速度性の半導体素子を形成し得る半導体素子を備えた半導体装置を提供しようとするものである。

以下、本発明の実施例を図3図(a)~(d)の製造方法を併記して詳細に説明する。

[1] まず、第3図(a)に示す如く  $p^+$  型シリコ

ン基板101の主面上に熱酸化処理により熱酸化膜102を形成し、更に該熱酸化膜102を選択的にエッチング除去して3つの開口部103<sub>1</sub>、103<sub>2</sub>、103<sub>3</sub>を設けた後、高温炉中にてSbやAsなどのn型不純物を各開口部103<sub>1</sub>、103<sub>2</sub>、103<sub>3</sub>から露出した基板101部分にシート拡散が5〜50Ω/□と十分低くなるまで拡散してn<sup>+</sup>型拡散層104<sub>1</sub>、104<sub>2</sub>、104<sub>3</sub>を形成した。つづいて、熱酸化膜102を全て除去した後、基板101と同導電型で比抵抗も1Ω<sub>sq</sub>以上の低濃度のp<sup>+</sup>型シリコンエピタキシャル層105を3μm以上の厚さで成長させた(第3図(4)図示)。この時、n<sup>+</sup>型の拡散層104<sub>1</sub>、104<sub>2</sub>、104<sub>3</sub>がエピタキシャル成長中の熱によりp<sup>+</sup>型シリコンエピタキシャル層105にオートドーピング現象を起し、滲み出して基板101とエピタキシャル層105の界面付近に第1のn<sup>+</sup>埋込み層106<sub>1</sub>、106<sub>2</sub>、106<sub>3</sub>が選択的に形成された。

(II) 次に、熱酸化処理を施してp<sup>+</sup>層の

開口した。その後、高温炉中にてSbやAsなどのn型不純物を拡散層113<sub>1</sub>、113<sub>2</sub>、113<sub>3</sub>から露出したp<sup>+</sup>型シリコンエピタキシャル層105部分にシート拡散が5〜50Ω/□と十分低くなるまで拡散して第1のn<sup>+</sup>埋込み層106<sub>1</sub>に達するn<sup>+</sup>型拡散層113<sub>1</sub>、及び他の第1のn<sup>+</sup>埋込み層106<sub>2</sub>、106<sub>3</sub>に欠乏する広い面積のn<sup>+</sup>型拡散層113<sub>2</sub>、113<sub>3</sub>を欠乏形成した(第3図(4)図示)。この熱拡散工程において、エピタキシャル層105のリンイオンが入層113<sub>1</sub>が拡散されて第1のn<sup>+</sup>埋込み層106<sub>1</sub>、直上の同エピタキシャル層105部分にn<sup>+</sup>型不純物領域114が形成された(同第3図(4)図示)。

(iv) 次に、CVD-SiO<sub>2</sub>膜111及び熱酸化膜107を全て除去した後、p<sup>+</sup>型シリコンエピタキシャル層105上に該エピタキシャル層105と同導電型で濃度が10<sup>14</sup>〜10<sup>16</sup>cm<sup>-3</sup>のn<sup>+</sup>型シリコンエピタキシャル層115を1μm以上で成長させた(第3図(4)図示)。この時、

エピタキシャル層105表面に厚さ約1000Åの熱酸化膜107を成長させ、更に全面にフォトレジスト膜108を形成した後、写真露光法により第1のn<sup>+</sup>埋込み層106<sub>1</sub>に対応するレジスト膜108に開口部109を形成した。引きつづき、該レジスト膜108をマスクとしてn型不純物が拡散係数の大きいリンを加速電圧150〜220kV、ドーズ量5×10<sup>15</sup>/cm<sup>2</sup>の条件で開口部109の熱酸化膜107を通してイオン注入し、リンイオン注入層110をp<sup>+</sup>型シリコンエピタキシャル層105に選択的に形成した(第3図(4)図示)。

(v) 次に、フォトレジスト膜108を除去した後、熱酸化膜107上に厚さ約1μmのCVD-SiO<sub>2</sub>膜111を増膜した(第3図(4)図示)。つづいて、CVD-SiO<sub>2</sub>膜111及び熱酸化膜107を選択的にエッチング除去して前記第1のn<sup>+</sup>埋込み層106<sub>1</sub>の一部に対応する部分に拡散層113<sub>1</sub>を、前記n<sup>+</sup>埋込み層106<sub>2</sub>、106<sub>3</sub>の直上部分に拡散層113<sub>2</sub>、113<sub>3</sub>を欠乏

n<sup>+</sup>型拡散層113<sub>1</sub>、113<sub>2</sub>、113<sub>3</sub>がエピタキシャル成長中の熱によりn<sup>+</sup>型シリコンエピタキシャル層115にオートドーピング現象を起し、滲み出してn<sup>+</sup>型不純物領域114内に第1のn<sup>+</sup>埋込み層106<sub>1</sub>に達するn<sup>+</sup>型拡散領域116が形成されると共に、p<sup>+</sup>型とn<sup>+</sup>型のシリコンエピタキシャル層105、115の界面付近に前記第1のn<sup>+</sup>埋込み層106<sub>1</sub>、106<sub>2</sub>とつながる第2のn<sup>+</sup>埋込み層117<sub>1</sub>、117<sub>2</sub>が形成された。これにより、同第3図(4)に示す構造の半導体基体118が作製される。

(v) 次に、n<sup>+</sup>型シリコンエピタキシャル層115にp型不純物を選択拡散して該エピタキシャル層115を電気的に分離するp<sup>+</sup>型シリコンエピタキシャル層105に比べて過するp<sup>+</sup>型のアイソレーション領域119<sub>1</sub>を形成し、高耐圧バイポーラトランジスタ、高速バイポーラトランジスタ、I<sup>2</sup>Lの素子形成領域115<sub>1</sub>、115<sub>2</sub>、115<sub>3</sub>を分離した。つづいて、リン或いは砒素もしくはリンと砒素の混合物をn<sup>+</sup>

型シリコンエピタキシャル層の各素子形成領域115; ~115; に選択的に拡散して第1の $n^+$ 導込み層106を $n^+$ 拡散領域118を介して同エピタキシャル層115表面に取出すためのdeep  $n^+$ 層120、及び第2の $n^+$ 導込み層117;、117;を同エピタキシャル層115表面に取出すためのdeep  $n^+$ 層121、122を夫々形成した(第3図(a)図示)。なお、第2の $n^+$ 導込み層117;に接続するdeep  $n^+$ 層122は該導込み層117;上の素子形成領域118;を囲むように形成されている。

(vi) 次に、各素子形成領域115;、115;にp型不純物であるボロンを選択的にイオン注入し、拡散して高耐圧バイポーラ形成領域に拡散して200~300 $\Omega$ の低いp型ベース領域123を、 $I^2L$ 形成領域に同強度で $n^+$ 導込み層117;に連するp型のインジエクタ124、p型の外部ベース領域125を形成した。ついで、高速バイポーラ形成領域115;にボロンを選択的にイオン注入し、拡散して抵

抗が120~200 $\Omega$ の低い、環状のp型外部ベース領域126を形成した。更に、高速バイポーラ形成領域115;の外部ベース領域126間の $n^+$ 型のエピタキシャル層115部分及び $I^2L$ 形成領域115;の外部ベース領域125間の $n^+$ 型のエピタキシャル層115部分を少なくも含む領域にボロンを選択的にイオン注入し、活性化して領域115;にシート抵抗が300 $\Omega$ ~1k $\Omega$ のp型内部ベース領域127、 $I^2L$ の形成領域115;にシート抵抗1~3k $\Omega$ のp型の内部ベース領域128を形成した(第3図(b)図示)。なお、このベース形成工程において、イオン注入、活性化処理に代ってボロンを含む絶縁膜(例えばBSG膜等)を拡散源として熱拡散してもよい。こうしたベース領域の抵抗値はトランジスタの動作特性により自由に変更し得る。

(vii) 次に、今までの工程で形成された絶縁膜129を選択的にエッチング除去して、拡散窓とコンタクトを兼ねる開口部130;~

130;を形成した。ひきつづき、全面にリンドープ多結晶シリコン膜131(或いは無定形、リンドープ多結晶シリコン膜)を堆積した後、熱処理を施した。この時、多結晶シリコン膜131から開口部130;~130;を通してエピタキシャル層115側に拡散した。その結果、第3図(1)に示す如く高耐圧バイポーラ形成領域115;のベース領域123に $n^+$ 型のエミッタ領域127、同領域115;のdeep  $n^+$ 層120の隣接付近に $n^+$ 型のコレクタ取出し領域133が形成された。また高速バイポーラ形成領域115;においては、p型内部ベース領域127上或いは内部に $n^+$ 型のエミッタ領域124が、deep  $n^+$ 層121の隣接付近に $n^+$ 型のコレクタ取出し領域133が形成された。更に、 $I^2L$ 形成領域115;においては、p型内部ベース領域128上或いは $n^+$ 型のコレクタ領域126;、126;が形成された。

(viii) 次に、リンドープ多結晶シリコン膜

131を選択的にエッチング除去して開口部130;~130;を覆うように残存させた後、絶縁膜132を選択的にエッチング除去してコンタクトホール137;~137;を形成した。この場合、リンドープ多結晶シリコン膜を先にパターニングした後、熱処理を施してもよい。ひきつづき、全面に金属膜、例えばAl膜を真空蒸着し、パターニングした。これにより高耐圧バイポーラトランジスタにおいては、 $n^+$ 型エミッタ領域132とリンドープ多結晶シリコン膜132を介して接続したエミッタ取出しAl配線138;、ベース領域127とコンタクトホール137;を介して接続したベース取出しAl配線139;、 $n^+$ 型コレクタ取出し領域133と多結晶シリコン膜131を介して接続したコレクタ取出しAl配線140が形成された。また、高速バイポーラトランジスタにおいては、 $n^+$ 型エミッタ領域134と多結晶シリコン膜131を介して接続したエミッタ取出しAl配線141、p型外部ベース領域126とコンタクトホール

117a を介して接続したベース取出しA&B配線1142、n<sup>+</sup>型コレクタ取出し領域1145と多結晶シリコン膜1144を介して接続したコレクタ取出しA&B配線1147が形成された。しかも、高耐圧バイポーラトランジスタと高速バイポーラトランジスタを分離するp<sup>+</sup>型アイソレーション領域1153にはコンタクトホール1177a を介してグラウンド端子としてのA&B配線1144が形成された。更に、112Lにおいては、deep n<sup>+</sup>層1133とコンタクトホール1177a を介して接続したグラウンドのA&B配線1148、n<sup>+</sup>型コレクタ領域1135、1136と多結晶シリコン膜1131を介して接続した出力端子となるA&B配線1148、1149、p<sup>+</sup>型外部ベース領域1135とコンタクトホール1136a を介して接続した入力端子となるA&B配線1177、及びp<sup>+</sup>型インジクタ1124とコンタクトホール1177a を介して接続したインジクタ取出しA&B配線1148が形成された(第3図(f)図示)。

しかして、本発明の半導体装置第3図(f)、(g)

製造工程を著しく短縮できる。したがって、半導体基体1118に接続された第1のn<sup>+</sup>埋込み層1101、1102及び第2のn<sup>+</sup>埋込み層1171、1172からのオフトーベンドを抑制でき、良好に高耐圧特性がコントロールされた高耐圧バイポーラトランジスタ、良好に高速特性がコントロールされた高速バイポーラトランジスタ及び112Lが共存した半導体集積回路を得ることが出来る。しかも、熱拡散時の横方向への拡散を抑制してp<sup>+</sup>型アイソレーション領域の面積増大を改善でき、ひいては高集積度の半導体集積回路を得ることが出来る。

また、第2導電型の第3半導体領域である第2のn<sup>+</sup>埋込み層1171、1172の下に、これとつながる第1半導体領域としての第1のn<sup>+</sup>埋込み層1101、1102を設けることによって、第2のn<sup>+</sup>埋込み層1171、1172のシート抵抗を低減でき、この上にnpnバイポーラトランジスタを形成した際のコレクタ抵抗の低減化がなされ、動作特性の向上化を図ること

に示す如くp<sup>+</sup>型シリコン基板101とp<sup>+</sup>型シリコンエピタキシャル層105からなる第1導電型半導体層上に第2導電型の半導体層であるn<sup>+</sup>型シリコンエピタキシャル層115が設けられ、かつ前記第1導電型の半導体層の表面一部(p<sup>+</sup>型シリコンエピタキシャル層105表面一部)に前記n<sup>+</sup>型シリコンエピタキシャル層115と同濃度もしくは低い濃度のn<sup>+</sup>型不純物領域114を設けた構造の半導体基体1118を備えている。つまり、高耐圧バイポーラトランジスタが形成される素子領域の一部がp<sup>+</sup>型シリコンエピタキシャル層105に選択的に設けられたn<sup>+</sup>型不純物領域114で構成され、埋込んだ形状をなす。このため、高耐圧バイポーラトランジスタ、高速バイポーラトランジスタ及び112Lを電気的に分離するためのp<sup>+</sup>型アイソレーション領域(第3図(f)図示の1153)はn<sup>+</sup>型シリコンエピタキシャル層115の膜厚分だけ拡散することにより形成できるので、第2図に示す従来の構造の半導体基体を用いた場合に比べて、熱拡

ができる。但し、第2のn<sup>+</sup>埋込み層1171、1172のみで十分にシート抵抗を低減できれば、この下に第1のn<sup>+</sup>埋込み層1101、1102を設ける必要はない。この際、第2のn<sup>+</sup>埋込み層1101、1102を含む局間の寄生トランジスタの発生は、動作上問題ない程度に低減できる。換言すれば、高電位が流れ、最低電位(グラウンド)の浮き上がりが起こる領域をダブル埋込み層構造にすればよい。

更に、半導体基体1118の表面は平坦であるため、前述した第3図(a)~(f)に示す微細加工に極めて有効で、微細なベース、エミッタ等の領域を形成できる。

その他、半導体基体1118において第1のn<sup>+</sup>埋込み層1101、1102の一部にこれと接続したn<sup>+</sup>拡散領域115をn<sup>+</sup>型シリコンエピタキシャル層115まで達するように設ければ、半導体基体1118の表面に設けられた第1のn<sup>+</sup>埋込み層1101をn<sup>+</sup>型シリコンエピタキシャル層115表面に取出すためのdeep n<sup>+</sup>層1130は該エ

トヤシム層115の厚さ分だけ熱拡散すればよい。このため、 $800^{\circ}\text{C}$ 層120の熱拡散時間を短縮でき、前述した $p^{+}$ 型アソレーション領域の場合と同様な効果を発揮できる。

なお、上記実施例では、 $n^{-}$ 型不純物領域114の形成をイオン注入法により行ったが、第3図(a)の工程において熱酸化膜107の $n^{-}$ 型不純物領域形成予定部を選択的に除去して開口を設け、この開口を含む熱酸化膜107上にリン添加ガラス膜(PSG膜)を形成し、このPSG膜を拡散源としてリンの開口を通して $p^{-}$ 型シリコンエピタキシャル層108に拡散し $n^{-}$ 型不純物領域を形成してもよい。

上記実施例では、 $p^{-}$ 型シリコンエピタキシャル層108に設けられる $n^{-}$ 型不純物領域114をその下の第1の $n^{+}$ 型拡込み層106の面積(幅等)より小さくしたが、これに限らず、該 $n^{-}$ 型不純物領域を第1の $n^{+}$ 型拡込み層と同幅もしくはそれより広くしてもよい。こうした $n^{-}$ 型不純物領域114に形成され、第1の $n^{+}$ 型拡込み層106、

に対する $n^{+}$ 拡散領域116は同不純物領域114内にかならずしも形成されていなくてもよく、該領域114の一部にオーバーラップしてもよい。

上記実施例では電気的分離工程を $p^{-}$ 分離方法で行なったが、これに限らず誘電体分離を採用した場合でも、同様に大きな効果を有する。

上記実施例において $p$ 型ベース領域123は $n^{-}$ 型不純物領域114にまで達していてもよい。

上記実施例において、高耐圧バイポーラトランジスタのベース領域123を内部ベース領域と外部ベース領域とで構成してもよい。

また、本発明に係る半導体装置は上記実施例の $p$ 、 $n$ 型を全く逆にしても同様に適用できる。

更に、本発明に係る半導体装置は上記実施例の如く高速半導体素子として高速バイポーラトランジスタ、 $1T1$ を用いた場合に限らず、ECLなどのロジック、高速スイッチング等も用いることが可能である。しかも、上述した高耐圧バイポーラトランジスタと共有させてMOSFET、

MISFET等も設けてもよい。

以上詳述した如く、本発明によれば表面が平坦で、第1場電圧の半導体基板上に第1場電圧の第1半導体層の積層に、この上に設けられる第2場電圧の半導体層と同場電圧の第2半導体領域を設け、かつ前記半導体基根と第1半導体層の界面付近及び第1、第2半導体層の界面付近に互に付きながらダブル構造の第2場電圧の拡込み層(第1、第2半導体領域)を形成した構造の半導体基体を備えることにより、微細加工が良好で、素子の電気的分離を短時間の熱拡散で形成できると共にコレクタのシート抵抗の低減化を達成でき、もって良好な高耐圧特性を有する高耐圧バイポーラ素子及び良好な高速度を有する高速半導体素子の共存が可能で高性能、高集積度の半導体装置を提供できるものである。

#### 4. 図面の簡単な説明

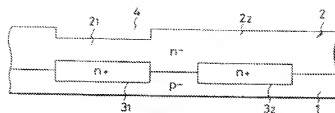
第1図、第2図はそれぞれ従来の高耐圧、高速の半導体素子が形成される半導体基体の断面図、第3図(a)~(f)は本発明の実施例における半導体

装置を得るための製造工程を示す断面図である。

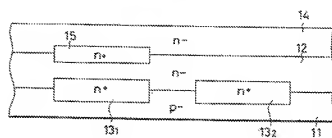
101... $p^{-}$ 型シリコン基板、102... $p^{-}$ 型シリコンエピタキシャル層、103...105...第1の $n^{+}$ 型拡込み層、114... $n^{-}$ 型不純物領域、115... $n^{-}$ 型シリコンエピタキシャル層、116... $n^{+}$ 拡散層、117a、117b...第2の $n^{+}$ 型拡込み層、118...半導体基体、119... $p^{-}$ 型アソレーション領域、120... $p$ 型ベース領域、121... $p$ 型インジウム領域、122、123... $p$ 型外部ベース領域、124... $p$ 型内部ベース領域、125...ラングム多結晶シリコン膜、126、127... $n^{+}$ 型拡込み層、128、129... $n^{+}$ 型コレクタ領域、130...132... $n^{+}$ 型拡込み層、133... $n^{+}$ 型コレクタ領域、134...136... $n^{+}$ 型コレクタ領域、137...139... $n^{+}$ 型コレクタ領域、140...142... $n^{+}$ 型コレクタ領域、143...145... $n^{+}$ 型コレクタ領域、146...148... $n^{+}$ 型コレクタ領域、149...151... $n^{+}$ 型コレクタ領域、152...154... $n^{+}$ 型コレクタ領域、155...157... $n^{+}$ 型コレクタ領域、158...160... $n^{+}$ 型コレクタ領域、161...163... $n^{+}$ 型コレクタ領域、164...166... $n^{+}$ 型コレクタ領域、167...169... $n^{+}$ 型コレクタ領域、170...172... $n^{+}$ 型コレクタ領域、173...175... $n^{+}$ 型コレクタ領域、176...178... $n^{+}$ 型コレクタ領域、179...181... $n^{+}$ 型コレクタ領域、182...184... $n^{+}$ 型コレクタ領域、185...187... $n^{+}$ 型コレクタ領域、188...190... $n^{+}$ 型コレクタ領域、191...193... $n^{+}$ 型コレクタ領域、194...196... $n^{+}$ 型コレクタ領域、197...199... $n^{+}$ 型コレクタ領域、200...202... $n^{+}$ 型コレクタ領域、203...205... $n^{+}$ 型コレクタ領域、206...208... $n^{+}$ 型コレクタ領域、209...211... $n^{+}$ 型コレクタ領域、212...214... $n^{+}$ 型コレクタ領域、215...217... $n^{+}$ 型コレクタ領域、218...220... $n^{+}$ 型コレクタ領域、221...223... $n^{+}$ 型コレクタ領域、224...226... $n^{+}$ 型コレクタ領域、227...229... $n^{+}$ 型コレクタ領域、230...232... $n^{+}$ 型コレクタ領域、233...235... $n^{+}$ 型コレクタ領域、236...238... $n^{+}$ 型コレクタ領域、239...241... $n^{+}$ 型コレクタ領域、242...244... $n^{+}$ 型コレクタ領域、245...247... $n^{+}$ 型コレクタ領域、248...250... $n^{+}$ 型コレクタ領域、251...253... $n^{+}$ 型コレクタ領域、254...256... $n^{+}$ 型コレクタ領域、257...259... $n^{+}$ 型コレクタ領域、260...262... $n^{+}$ 型コレクタ領域、263...265... $n^{+}$ 型コレクタ領域、266...268... $n^{+}$ 型コレクタ領域、269...271... $n^{+}$ 型コレクタ領域、272...274... $n^{+}$ 型コレクタ領域、275...277... $n^{+}$ 型コレクタ領域、278...280... $n^{+}$ 型コレクタ領域、281...283... $n^{+}$ 型コレクタ領域、284...286... $n^{+}$ 型コレクタ領域、287...289... $n^{+}$ 型コレクタ領域、290...292... $n^{+}$ 型コレクタ領域、293...295... $n^{+}$ 型コレクタ領域、296...298... $n^{+}$ 型コレクタ領域、299...301... $n^{+}$ 型コレクタ領域、302...304... $n^{+}$ 型コレクタ領域、305...307... $n^{+}$ 型コレクタ領域、308...310... $n^{+}$ 型コレクタ領域、311...313... $n^{+}$ 型コレクタ領域、314...316... $n^{+}$ 型コレクタ領域、317...319... $n^{+}$ 型コレクタ領域、320...322... $n^{+}$ 型コレクタ領域、323...325... $n^{+}$ 型コレクタ領域、326...328... $n^{+}$ 型コレクタ領域、329...331... $n^{+}$ 型コレクタ領域、332...334... $n^{+}$ 型コレクタ領域、335...337... $n^{+}$ 型コレクタ領域、338...340... $n^{+}$ 型コレクタ領域、341...343... $n^{+}$ 型コレクタ領域、344...346... $n^{+}$ 型コレクタ領域、347...349... $n^{+}$ 型コレクタ領域、350...352... $n^{+}$ 型コレクタ領域、353...355... $n^{+}$ 型コレクタ領域、356...358... $n^{+}$ 型コレクタ領域、359...361... $n^{+}$ 型コレクタ領域、362...364... $n^{+}$ 型コレクタ領域、365...367... $n^{+}$ 型コレクタ領域、368...370... $n^{+}$ 型コレクタ領域、371...373... $n^{+}$ 型コレクタ領域、374...376... $n^{+}$ 型コレクタ領域、377...379... $n^{+}$ 型コレクタ領域、380...382... $n^{+}$ 型コレクタ領域、383...385... $n^{+}$ 型コレクタ領域、386...388... $n^{+}$ 型コレクタ領域、389...391... $n^{+}$ 型コレクタ領域、392...394... $n^{+}$ 型コレクタ領域、395...397... $n^{+}$ 型コレクタ領域、398...400... $n^{+}$ 型コレクタ領域、401...403... $n^{+}$ 型コレクタ領域、404...406... $n^{+}$ 型コレクタ領域、407...409... $n^{+}$ 型コレクタ領域、410...412... $n^{+}$ 型コレクタ領域、413...415... $n^{+}$ 型コレクタ領域、416...418... $n^{+}$ 型コレクタ領域、419...421... $n^{+}$ 型コレクタ領域、422...424... $n^{+}$ 型コレクタ領域、425...427... $n^{+}$ 型コレクタ領域、428...430... $n^{+}$ 型コレクタ領域、431...433... $n^{+}$ 型コレクタ領域、434...436... $n^{+}$ 型コレクタ領域、437...439... $n^{+}$ 型コレクタ領域、440...442... $n^{+}$ 型コレクタ領域、443...445... $n^{+}$ 型コレクタ領域、446...448... $n^{+}$ 型コレクタ領域、449...451... $n^{+}$ 型コレクタ領域、452...454... $n^{+}$ 型コレクタ領域、455...457... $n^{+}$ 型コレクタ領域、458...460... $n^{+}$ 型コレクタ領域、461...463... $n^{+}$ 型コレクタ領域、464...466... $n^{+}$ 型コレクタ領域、467...469... $n^{+}$ 型コレクタ領域、470...472... $n^{+}$ 型コレクタ領域、473...475... $n^{+}$ 型コレクタ領域、476...478... $n^{+}$ 型コレクタ領域、479...481... $n^{+}$ 型コレクタ領域、482...484... $n^{+}$ 型コレクタ領域、485...487... $n^{+}$ 型コレクタ領域、488...490... $n^{+}$ 型コレクタ領域、491...493... $n^{+}$ 型コレクタ領域、494...496... $n^{+}$ 型コレクタ領域、497...499... $n^{+}$ 型コレクタ領域、500...502... $n^{+}$ 型コレクタ領域、503...505... $n^{+}$ 型コレクタ領域、506...508... $n^{+}$ 型コレクタ領域、509...511... $n^{+}$ 型コレクタ領域、512...514... $n^{+}$ 型コレクタ領域、515...517... $n^{+}$ 型コレクタ領域、518...520... $n^{+}$ 型コレクタ領域、521...523... $n^{+}$ 型コレクタ領域、524...526... $n^{+}$ 型コレクタ領域、527...529... $n^{+}$ 型コレクタ領域、530...532... $n^{+}$ 型コレクタ領域、533...535... $n^{+}$ 型コレクタ領域、536...538... $n^{+}$ 型コレクタ領域、539...541... $n^{+}$ 型コレクタ領域、542...544... $n^{+}$ 型コレクタ領域、545...547... $n^{+}$ 型コレクタ領域、548...550... $n^{+}$ 型コレクタ領域、551...553... $n^{+}$ 型コレクタ領域、554...556... $n^{+}$ 型コレクタ領域、557...559... $n^{+}$ 型コレクタ領域、560...562... $n^{+}$ 型コレクタ領域、563...565... $n^{+}$ 型コレクタ領域、566...568... $n^{+}$ 型コレクタ領域、569...571... $n^{+}$ 型コレクタ領域、572...574... $n^{+}$ 型コレクタ領域、575...577... $n^{+}$ 型コレクタ領域、578...580... $n^{+}$ 型コレクタ領域、581...583... $n^{+}$ 型コレクタ領域、584...586... $n^{+}$ 型コレクタ領域、587...589... $n^{+}$ 型コレクタ領域、590...592... $n^{+}$ 型コレクタ領域、593...595... $n^{+}$ 型コレクタ領域、596...598... $n^{+}$ 型コレクタ領域、599...601... $n^{+}$ 型コレクタ領域、602...604... $n^{+}$ 型コレクタ領域、605...607... $n^{+}$ 型コレクタ領域、608...610... $n^{+}$ 型コレクタ領域、611...613... $n^{+}$ 型コレクタ領域、614...616... $n^{+}$ 型コレクタ領域、617...619... $n^{+}$ 型コレクタ領域、620...622... $n^{+}$ 型コレクタ領域、623...625... $n^{+}$ 型コレクタ領域、626...628... $n^{+}$ 型コレクタ領域、629...631... $n^{+}$ 型コレクタ領域、632...634... $n^{+}$ 型コレクタ領域、635...637... $n^{+}$ 型コレクタ領域、638...640... $n^{+}$ 型コレクタ領域、641...643... $n^{+}$ 型コレクタ領域、644...646... $n^{+}$ 型コレクタ領域、647...649... $n^{+}$ 型コレクタ領域、650...652... $n^{+}$ 型コレクタ領域、653...655... $n^{+}$ 型コレクタ領域、656...658... $n^{+}$ 型コレクタ領域、659...661... $n^{+}$ 型コレクタ領域、662...664... $n^{+}$ 型コレクタ領域、665...667... $n^{+}$ 型コレクタ領域、668...670... $n^{+}$ 型コレクタ領域、671...673... $n^{+}$ 型コレクタ領域、674...676... $n^{+}$ 型コレクタ領域、677...679... $n^{+}$ 型コレクタ領域、680...682... $n^{+}$ 型コレクタ領域、683...685... $n^{+}$ 型コレクタ領域、686...688... $n^{+}$ 型コレクタ領域、689...691... $n^{+}$ 型コレクタ領域、692...694... $n^{+}$ 型コレクタ領域、695...697... $n^{+}$ 型コレクタ領域、698...700... $n^{+}$ 型コレクタ領域、701...703... $n^{+}$ 型コレクタ領域、704...706... $n^{+}$ 型コレクタ領域、707...709... $n^{+}$ 型コレクタ領域、710...712... $n^{+}$ 型コレクタ領域、713...715... $n^{+}$ 型コレクタ領域、716...718... $n^{+}$ 型コレクタ領域、719...721... $n^{+}$ 型コレクタ領域、722...724... $n^{+}$ 型コレクタ領域、725...727... $n^{+}$ 型コレクタ領域、728...730... $n^{+}$ 型コレクタ領域、731...733... $n^{+}$ 型コレクタ領域、734...736... $n^{+}$ 型コレクタ領域、737...739... $n^{+}$ 型コレクタ領域、740...742... $n^{+}$ 型コレクタ領域、743...745... $n^{+}$ 型コレクタ領域、746...748... $n^{+}$ 型コレクタ領域、749...751... $n^{+}$ 型コレクタ領域、752...754... $n^{+}$ 型コレクタ領域、755...757... $n^{+}$ 型コレクタ領域、758...760... $n^{+}$ 型コレクタ領域、761...763... $n^{+}$ 型コレクタ領域、764...766... $n^{+}$ 型コレクタ領域、767...769... $n^{+}$ 型コレクタ領域、770...772... $n^{+}$ 型コレクタ領域、773...775... $n^{+}$ 型コレクタ領域、776...778... $n^{+}$ 型コレクタ領域、779...781... $n^{+}$ 型コレクタ領域、782...784... $n^{+}$ 型コレクタ領域、785...787... $n^{+}$ 型コレクタ領域、788...790... $n^{+}$ 型コレクタ領域、791...793... $n^{+}$ 型コレクタ領域、794...796... $n^{+}$ 型コレクタ領域、797...799... $n^{+}$ 型コレクタ領域、800...802... $n^{+}$ 型コレクタ領域、803...805... $n^{+}$ 型コレクタ領域、806...808... $n^{+}$ 型コレクタ領域、809...811... $n^{+}$ 型コレクタ領域、812...814... $n^{+}$ 型コレクタ領域、815...817... $n^{+}$ 型コレクタ領域、818...820... $n^{+}$ 型コレクタ領域、821...823... $n^{+}$ 型コレクタ領域、824...826... $n^{+}$ 型コレクタ領域、827...829... $n^{+}$ 型コレクタ領域、830...832... $n^{+}$ 型コレクタ領域、833...835... $n^{+}$ 型コレクタ領域、836...838... $n^{+}$ 型コレクタ領域、839...841... $n^{+}$ 型コレクタ領域、842...844... $n^{+}$ 型コレクタ領域、845...847... $n^{+}$ 型コレクタ領域、848...850... $n^{+}$ 型コレクタ領域、851...853... $n^{+}$ 型コレクタ領域、854...856... $n^{+}$ 型コレクタ領域、857...859... $n^{+}$ 型コレクタ領域、860...862... $n^{+}$ 型コレクタ領域、863...865... $n^{+}$ 型コレクタ領域、866...868... $n^{+}$ 型コレクタ領域、869...871... $n^{+}$ 型コレクタ領域、872...874... $n^{+}$ 型コレクタ領域、875...877... $n^{+}$ 型コレクタ領域、878...880... $n^{+}$ 型コレクタ領域、881...883... $n^{+}$ 型コレクタ領域、884...886... $n^{+}$ 型コレクタ領域、887...889... $n^{+}$ 型コレクタ領域、890...892... $n^{+}$ 型コレクタ領域、893...895... $n^{+}$ 型コレクタ領域、896...898... $n^{+}$ 型コレクタ領域、899...901... $n^{+}$ 型コレクタ領域、902...904... $n^{+}$ 型コレクタ領域、905...907... $n^{+}$ 型コレクタ領域、908...910... $n^{+}$ 型コレクタ領域、911...913... $n^{+}$ 型コレクタ領域、914...916... $n^{+}$ 型コレクタ領域、917...919... $n^{+}$ 型コレクタ領域、920...922... $n^{+}$ 型コレクタ領域、923...925... $n^{+}$ 型コレクタ領域、926...928... $n^{+}$ 型コレクタ領域、929...931... $n^{+}$ 型コレクタ領域、932...934... $n^{+}$ 型コレクタ領域、935...937... $n^{+}$ 型コレクタ領域、938...940... $n^{+}$ 型コレクタ領域、941...943... $n^{+}$ 型コレクタ領域、944...946... $n^{+}$ 型コレクタ領域、947...949... $n^{+}$ 型コレクタ領域、950...952... $n^{+}$ 型コレクタ領域、953...955... $n^{+}$ 型コレクタ領域、956...958... $n^{+}$ 型コレクタ領域、959...961... $n^{+}$ 型コレクタ領域、962...964... $n^{+}$ 型コレクタ領域、965...967... $n^{+}$ 型コレクタ領域、968...970... $n^{+}$ 型コレクタ領域、971...973... $n^{+}$ 型コレクタ領域、974...976... $n^{+}$ 型コレクタ領域、977...979... $n^{+}$ 型コレクタ領域、980...982... $n^{+}$ 型コレクタ領域、983...985... $n^{+}$ 型コレクタ領域、986...988... $n^{+}$ 型コレクタ領域、989...991... $n^{+}$ 型コレクタ領域、992...994... $n^{+}$ 型コレクタ領域、995...997... $n^{+}$ 型コレクタ領域、998...1000... $n^{+}$ 型コレクタ領域、1001...1003... $n^{+}$ 型コレクタ領域、1004...1006... $n^{+}$ 型コレクタ領域、1007...1009... $n^{+}$ 型コレクタ領域、1010...1012... $n^{+}$ 型コレクタ領域、1013...1015... $n^{+}$ 型コレクタ領域、1016...1018... $n^{+}$ 型コレクタ領域、1019...1021... $n^{+}$ 型コレクタ領域、1022...1024... $n^{+}$ 型コレクタ領域、1025...1027... $n^{+}$ 型コレクタ領域、1028...1030... $n^{+}$ 型コレクタ領域、1031...1033... $n^{+}$ 型コレクタ領域、1034...1036... $n^{+}$ 型コレクタ領域、1037...1039... $n^{+}$ 型コレクタ領域、1040...1042... $n^{+}$ 型コレクタ領域、1043...1045... $n^{+}$ 型コレクタ領域、1046...1048... $n^{+}$ 型コレクタ領域、1049...1051... $n^{+}$ 型コレクタ領域、1052...1054... $n^{+}$ 型コレクタ領域、1055...1057... $n^{+}$ 型コレクタ領域、1058...1060... $n^{+}$ 型コレクタ領域、1061...1063... $n^{+}$ 型コレクタ領域、1064...1066... $n^{+}$ 型コレクタ領域、1067...1069... $n^{+}$ 型コレクタ領域、1070...1072... $n^{+}$ 型コレクタ領域、1073...1075... $n^{+}$ 型コレクタ領域、1076...1078... $n^{+}$ 型コレクタ領域、1079...1081... $n^{+}$ 型コレクタ領域、1082...1084... $n^{+}$ 型コレクタ領域、1085...1087... $n^{+}$ 型コレクタ領域、1088...1090... $n^{+}$ 型コレクタ領域、1091...1093... $n^{+}$ 型コレクタ領域、1094...1096... $n^{+}$ 型コレクタ領域、1097...1099... $n^{+}$ 型コレクタ領域、1100...1102... $n^{+}$ 型コレクタ領域、1103...1105... $n^{+}$ 型コレクタ領域、1106...1108... $n^{+}$ 型コレクタ領域、1109...1111... $n^{+}$ 型コレクタ領域、1112...1114... $n^{+}$ 型コレクタ領域、1115...1117... $n^{+}$ 型コレクタ領域、1118...1120... $n^{+}$ 型コレクタ領域、1121...1123... $n^{+}$ 型コレクタ領域、1124...1126... $n^{+}$ 型コレクタ領域、1127...1129... $n^{+}$ 型コレクタ領域、1130...1132... $n^{+}$ 型コレクタ領域、1133...1135... $n^{+}$ 型コレクタ領域、1136...1138... $n^{+}$ 型コレクタ領域、1139...1141... $n^{+}$ 型コレクタ領域、1142...1144... $n^{+}$ 型コレクタ領域、1145...1147... $n^{+}$ 型コレクタ領域、1148...1150... $n^{+}$ 型コレクタ領域、1151...1153... $n^{+}$ 型コレクタ領域、1154...1156... $n^{+}$ 型コレクタ領域、1157...1159... $n^{+}$ 型コレクタ領域、1160...1162... $n^{+}$ 型コレクタ領域、1163...1165... $n^{+}$ 型コレクタ領域、1166...1168... $n^{+}$ 型コレクタ領域、1169...1171... $n^{+}$ 型コレクタ領域、1172...1174... $n^{+}$ 型コレクタ領域、1175...1177... $n^{+}$ 型コレクタ領域、1178...1180... $n^{+}$ 型コレクタ領域、1181...1183... $n^{+}$ 型コレクタ領域、1184...1186... $n^{+}$ 型コレクタ領域、1187...1189... $n^{+}$ 型コレクタ領域、1190...1192... $n^{+}$ 型コレクタ領域、1193...1195... $n^{+}$ 型コレクタ領域、1196...1198... $n^{+}$ 型コレクタ領域、1199...1201... $n^{+}$ 型コレクタ領域、1202...1204... $n^{+}$ 型コレクタ領域、1205...1207... $n^{+}$ 型コレクタ領域、1208...1210... $n^{+}$ 型コレクタ領域、1211...1213... $n^{+}$ 型コレクタ領域、1214...1216... $n^{+}$ 型コレクタ領域、1217...1219... $n^{+}$ 型コレクタ領域、1220...1222... $n^{+}$ 型コレクタ領域、1223...1225... $n^{+}$ 型コレクタ領域、1226...1228... $n^{+}$ 型コレクタ領域、1229...1231... $n^{+}$ 型コレクタ領域、1232...1234... $n^{+}$ 型コレクタ領域、1235...1237... $n^{+}$ 型コレクタ領域、1238...1240... $n^{+}$ 型コレクタ領域、1241...1243... $n^{+}$ 型コレクタ領域、1244...1246... $n^{+}$ 型コレクタ領域、1247...1249... $n^{+}$ 型コレクタ領域、1250...1252... $n^{+}$ 型コレクタ領域、1253...1255... $n^{+}$ 型コレクタ領域、1256...1258... $n^{+}$ 型コレクタ領域、1259...1261... $n^{+}$ 型コレクタ領域、1262...1264... $n^{+}$ 型コレクタ領域、1265...1267... $n^{+}$ 型コレクタ領域、1268...1270... $n^{+}$ 型コレクタ領域、1271...1273... $n^{+}$ 型コレクタ領域、1274...1276... $n^{+}$ 型コレクタ領域、1277...1279... $n^{+}$ 型コレクタ領域、1280...1282... $n^{+}$ 型コレクタ領域、1283...1285... $n^{+}$ 型コレクタ領域、1286...1288... $n^{+}$ 型コレクタ領域、1289...1291... $n^{+}$ 型コレクタ領域、1292...1294... $n^{+}$ 型コレクタ領域、1295...1297... $n^{+}$ 型コレクタ領域、1298...1299... $n^{+}$ 型コレクタ領域、1300...1302... $n^{+}$ 型コレクタ領域、1303...1305... $n^{+}$ 型コレクタ領域、1306...1308... $n^{+}$ 型コレクタ領域、1309...1311... $n^{+}$ 型コレクタ領域、1312...1314... $n^{+}$ 型コレクタ領域、1315...1317... $n^{+}$ 型コレクタ領域、1318...1320... $n^{+}$ 型コレクタ領域、1321...1323... $n^{+}$ 型コレクタ領域、1324...1326... $n^{+}$ 型コレクタ領域、1327...1329... $n^{+}$ 型コレクタ領域、1330...1332... $n^{+}$ 型コレクタ領域、1333...1335... $n^{+}$ 型コレクタ領域、1336...1338... $n^{+}$ 型コレクタ領域、1339...1341... $n^{+}$ 型コレクタ領域、1342...1344... $n^{+}$ 型コレクタ領域、1345...1347... $n^{+}$ 型コレクタ領域、1348...1350... $n^{+}$ 型コレクタ領域、1351...1353... $n^{+}$ 型コレクタ領域、1354...1356... $n^{+}$ 型コレクタ領域、1357...1359... $n^{+}$ 型コレクタ領域、1360...1362... $n^{+}$ 型コレクタ領域、1363...1365... $n^{+}$ 型コレクタ領域、1366...1368... $n^{+}$ 型コレクタ領域、1369...1371... $n^{+}$ 型コレクタ領域、1372...1374... $n^{+}$ 型コレクタ領域、1375...1377... $n^{+}$ 型コレクタ領域、1378...1380... $n^{+}$ 型コレクタ領域、1381...1383... $n^{+}$ 型コレクタ領域、1384...1386... $n^{+}$ 型コレクタ領域、1387...1389... $n^{+}$ 型コレクタ領域、1390...1392... $n^{+}$ 型コレクタ領域、1393...1395... $n^{+}$ 型コレクタ領域、1396...1398... $n^{+}$ 型コレクタ領域、1399...1401... $n^{+}$ 型コレクタ領域、1402...1404... $n^{+}$ 型コレクタ領域、1405...1407... $n^{+}$ 型コレクタ領域、1408...1410... $n^{+}$ 型コレクタ領域、1411...1413... $n^{+}$ 型コレクタ領域、1414...1416... $n^{+}$ 型コレクタ領域、1417...1419... $n^{+}$ 型コレクタ領域、1420...1422... $n^{+}$ 型コレクタ領域、1423...1425... $n^{+}$ 型コレクタ領域、1426...1428... $n^{+}$ 型コレクタ領域、1429...1431... $n^{+}$ 型コレクタ領域、1432...1434... $n^{+}$ 型コレクタ領域、1435...1437... $n^{+}$ 型コレクタ領域、1438...1440... $n^{+}$ 型コレクタ領域、1441...1443... $n^{+}$ 型コレクタ領域、1444...1446... $n^{+}$ 型コレクタ領域、1447...1449... $n^{+}$ 型コレクタ領域、1450...1452... $n^{+}$ 型コレクタ領域、1453...1455... $n^{+}$ 型コレクタ領域、1456...1458... $n^{+}$ 型コレクタ領域、1459...1461... $n^{+}$ 型コレクタ領域、1462...1464... $n^{+}$ 型コレクタ領域、1465...1467... $n^{+}$ 型コレクタ領域、1468...1470... $n^{+}$ 型コレクタ領域、1471...1473... $n^{+}$ 型コレクタ領域、1474...1476... $n^{+}$ 型コレクタ領域、1477...1479... $n^{+}$ 型コレクタ領域、1480...1482... $n^{+}$ 型コレクタ領域、1483...1485... $n^{+}$ 型コレクタ領域、1486...1488... $n^{+}$ 型コレクタ領域、1489...1491... $n^{+}$ 型コレクタ領域、1492...1494... $n^{+}$ 型コレクタ領域、1495...1497... $n^{+}$ 型コレクタ領域、1498...1499... $n^{+}$ 型コレクタ領域、1500...1502... $n^{+}$ 型コレクタ領域、1503...1505... $n^{+}$ 型コレクタ領域、1506...1508... $n^{+}$ 型コレクタ領域、1509...1511... $n^{+}$ 型コレクタ領域、1512...1514... $n^{+}$ 型コレクタ領域、1515...1517... $n^{+}$ 型コレクタ領域、1518...1520... $n^{+}$ 型コレクタ領域、1521...1523... $n^{+}$ 型コレクタ領域、1524...1526... $n^{+}$ 型コレクタ領域、1527...1529... $n^{+}$ 型コレクタ領域、1530...1532... $n^{+}$ 型コレクタ領域、1533...1535... $n^{+}$ 型コレクタ領域、1536...1538... $n^{+}$ 型コレクタ領域、1539...1541... $n^{+}$ 型コレクタ領域、1542...1544... $n^{+}$ 型コレクタ領域、1545...1547... $n^{+}$ 型コレクタ領域、1548...1550... $n^{+}$ 型コレクタ領域、1551...1553... $n^{+}$ 型コレクタ領域、1554...1556... $n^{+}$ 型コレクタ領域、1557...1559... $n^{+}$ 型コレクタ領域、1560...1562... $n^{+}$ 型コレクタ領域、1563...1565... $n^{+}$ 型コレクタ領域、1566...1568... $n^{+}$ 型コレクタ領域、1569...1571... $n^{+}$ 型コレクタ領域、1572...1574... $n^{+}$ 型コレクタ領域、1575...1577...<



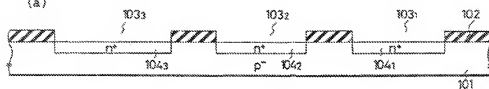
第 1 圖



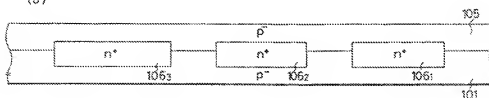
第 2 圖



第 3 圖  
(a)

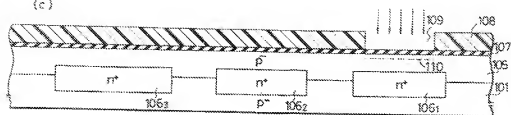


(b)

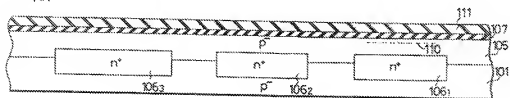


第 3 圖

(c)

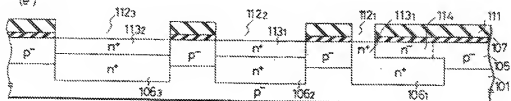


(d)

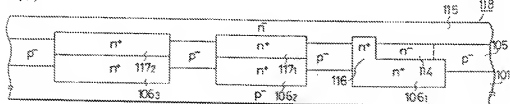


第 3 圖

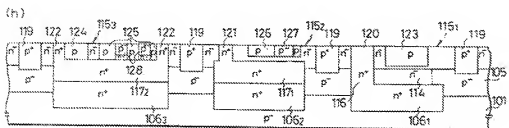
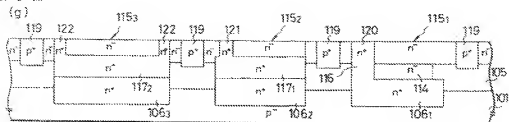
(e)



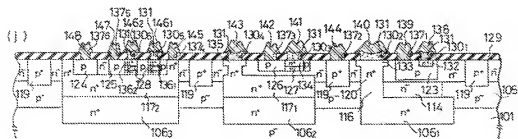
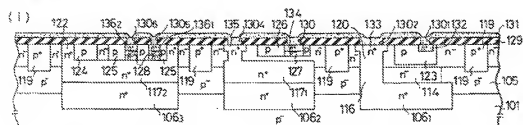
(f)



第 3 圖



第 3 圖



# 手続補正書(方式)

特開昭58-9356(10)

昭和56年12月15日

## 7.補正の内容

明細書中第2頁20行目において、「第3図(a)~(f)」とあるを「第3図(a)~(i)」と訂正する。

## 1. 事件の表示

特願昭56-106815号

## 2. 発明の名称

半導体装置

## 3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

## 4. 代理人

住所 東京都港区虎ノ門1丁目6番5号 第17ビル  
〒105 電話 03 (556) 3181 (大代表)

氏名 (5847) 弁護士 鈴江 武彦



## 5. 補正命令の日付

昭和56年11月24日

## 6. 補正の対象

明細書